

## روشی جدید برای افزایش مقاومت مدارهای پیاده‌سازی شده بر FPGA نسبت به TID

رضا امیدی<sup>1</sup> و کریم محمدی<sup>2</sup>

<sup>1</sup> دانشگاه علم و صنعت ایران

<sup>2</sup> دانشگاه علم و صنعت ایران

### چکیده

کاربرد افزارهای تجاری در فضا، به دلیل مزایایی نظیر هزینه کمتر و قابل دسترس بودن، به سرعت در حال گسترش می‌باشند. مشکل کاربرد این افزارها در محیط‌های مذکور آسیب‌پذیری آنها نسبت به ذرات یونیزه‌کننده می‌باشد. بررسی مکانیزم رفتاری پدیده TID به عنوان یکی از دو اثر مهم محیط تشعشعات، نشان داده است که ترانزیستورهای همیشه روشن، در برابر دوز یونیزه‌کننده وضعیت بحرانی دارند بنابراین با کاهش زمان روشن بودن ترانزیستور و متوسط ولتاژ اعمال شده به گیت آثار TID نیز کمتر خواهد شد. تنها روش ارائه شده در این رابطه کلیدزنی بین دو ماژول مشابه می‌باشد که این روش فضای پیاده‌سازی را دو برابر می‌کند در این مقاله با بررسی ساختار ترانزیستوری مدارها پس از نگاشت بر FPGA، روشی ارائه گردیده تا در خود ماژول، با ایجاد تعادل بین ترانزیستورهای روشن و خاموش متوسط ولتاژ اعمال شده به گیت را کاهش یابد.

واژه‌های کلیدی: محیط تشعشعات - مقاوم‌سازی FPGA - TID

### 1- مقدمه

از ساخت و پرتاب اولین ماهواره‌های مخابراتی چندین دهه می‌گذرد و این ماهواره‌ها هم‌چنان به عنوان یکی از مهم‌ترین سیستم‌های مخابراتی در جهان به شمار می‌روند. هزینه طراحی، ساخت، پرتاب و نگهداری چنین ماهواره‌هایی بسیار بالا بوده و در صورت عدم موفقیت هزینه زیادی به سازنده تحمیل می‌کند. از سوی دیگر با توجه به گسترش توانایی‌های قطعات تجاری به ویژه افزارهای برنامه‌پذیر میدانی (FPGA<sup>1</sup>)، امروزه بر پیاده‌سازی مدارهای مورد نظر روی این تراشه‌ها تاکید می‌شود اما تراشه‌های تجاری نسبت به تاثیرات نامطلوب محیط ذرات یونیزه‌کننده بسیار حساس هستند. این مشکلات سبب شده است تا ارائه تکنیک‌های مقاوم‌سازی کم‌هزینه و قابل دسترس - در مقابل طراحی مدارهای مقاوم با روش‌های خاص، و ساخت آنها به صورت سفارشی - اخیراً به صورت گسترده‌ای مورد توجه قرار گرفته است. از جمله کاربردهای این مدارها می‌توان به مواردی مانند سلاح‌های پیشرفته، تجهیزات نیروگاه‌های هسته‌ای، آزمایشگاه‌های خاص در زمینه فیزیک و مهم‌تر از همه صنایع فضایی و فضاپیماها اشاره کرد. مطالعه بر روی تاثیر تشعشعات بر ادوات نیم‌رسانا پس از آن که بر اثر تشعشعات فضایی اختلالاتی در قسمت الکترونیکی اولین ماهواره باعث مشکلات جدی در آن گردید، شروع شد. و مطالعه در زمینه مدارهای مقاوم در برابر تشعشعات به طور جدی مورد توجه قرار گرفت. همراه با تحولات عرصه الکترونیک، این مطالعات نیز ادامه داشته است [1].

به طور کلی اثرات ذرات فضایی به دو گروه، قابل تفکیک می‌باشد که عبارتند از: اثرات گذرا یا دائمی که بلافاصله با برخورد یون‌های سنگین در مدار مشاهده می‌گردند در این حالت عامل میکروسکوپی (برخورد یون)، تاثیر ماکروسکوپی و آنی دارد. به همین دلیل این گروه "اثرات رخداد یکتا (SEE<sup>2</sup>)" نامیده می‌شود. گروه دوم یعنی "دوز یونیزه‌کننده کل (TID<sup>3</sup>)"، اثرات

<sup>1</sup> Field Programmable Gate Array

<sup>2</sup> Single Event Effect

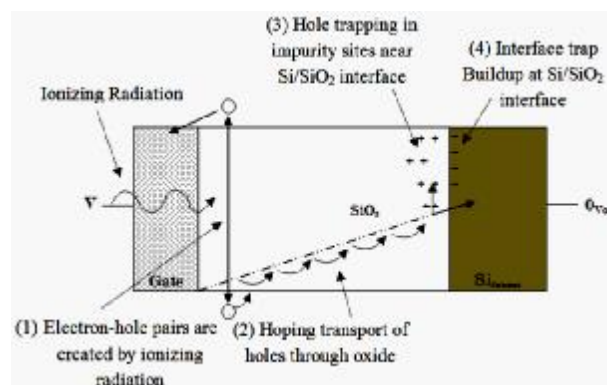
<sup>3</sup> Total Ionizing Dose

فرسایشی هستند، بدین صورت که با برخورد ذراتی مانند الکترون‌ها و پروتون‌های پرنرژی به مدار الکترونیکی، اثری آنی در مدار مشاهده نمی‌شود، ولی این برخوردها نقایص پایداری در اجزاء قطعات الکترونیکی ایجاد می‌کنند که با جمع شدن اثرات این نقایص پس از مدت زمان طولانی مدار به طور کامل کارایی خود را از دست می‌دهد. تکنولوژی تراشه، محافظ استفاده شده، و محیط تشعشعات بر مدت زمان مذکور تاثیرات بسزایی دارند، به طوری که تکنولوژی‌های مختلف باعث مقاومت‌های متفاوتی در برابر دوز گردیده و جنس و ضخامت محافظ و تراکم ذرات یونیزه کننده محیط مدار بر میزان دوز انتقال یافته به مدار اثرات مستقیمی مقاومت دارند [2].

هدف این مقاله ارائه روشی مداری برای مقاوم‌سازی نسبت به TID می‌باشد. در ادامه این مقاله مکانیزم پدیده دوز یونیزه کننده از دید فیزیک الکترونیک بررسی خواهد شد سپس با ارائه تئوری و نتایج تنها روش مداری برای مقاوم‌سازی نسبت به دوز یونیزه کننده یعنی روش کلیدزنی دو ماجولی، روش جدیدی بر اساس ساختار داخلی افزاره‌های برنامه‌پذیر مطرح خواهد شد. ایده پیشنهادی در چند مدار به ویژه مدار مدولاتور کلیدزنی تغییر فاز چهار ربعی اجرا شده و درصد بهبود وضعیت گزارش گردیده است.

## 2- دوز یونیزه کننده کل

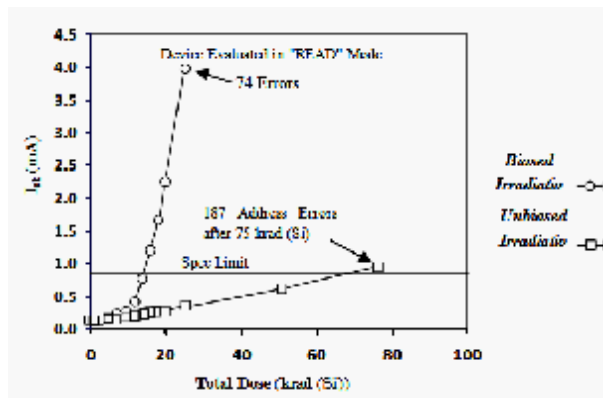
دوز یونیزه کننده کل یا اصطلاحاً جمع‌شونده با جمع شدن نقایص حاصل از برخورد ذراتی مانند الکترون‌ها و پروتون‌های پرنرژی به مدار الکترونیکی ایجاد می‌شود. برای شکل‌گیری نقص در ترانزیستور اثر میدانی چهار فرایند تعیین کننده می‌باشد چنانچه در شکل 1 نشان داده شده است [1]. در مرحله اول با برخورد ذره محیط تشعشعات زوج الکترون و حفره ایجاد می‌شود. کسری از این زوج‌ها بسته به نوع و انرژی ذره برخورد کننده باز ترکیب می‌شوند و زوج‌های جا مانده از باز ترکیب، بر اثر میدان الکتریکی در اکسید گیت شروع به حرکت می‌کنند اما با توجه به اینکه قابلیت تحرک الکترون‌ها در اکسید گیت، نسبت به قابلیت تحرک حفره‌ها چند مرتبه بالاتر می‌باشد الکترون‌ها با سرعت به طرف گیت حرکت کرده و از واسط گیت/اکسید بدون مشکل عبور می‌کنند و وارد جریان می‌شوند. حفره‌ها تقریباً در محل اصلی‌شان می‌مانند. در لحظه‌های اول برخورد ذرات محیط تشعشعات، تراکم این حفره‌ها تعیین کننده رفتار ترانزیستور اثر میدانی می‌باشد. در مرحله دوم حفره‌ها در جهت میدان با پروسه‌ای کند به طرف واسط حرکت می‌کند و در مرحله سوم با توجه به تراکم و تعدد تله‌ها در سطح واسط اکسید با سیلیکن بدنه، حفره‌ها در این تله‌های نسبتاً پایدار به دام می‌افتند و مراکز مثبت ایجاد می‌شود. در مرحله چهارم این مراکز بار مثبت، یون‌ها و بارهای منفی بدنه را به سطح واسط می‌کشد و با افزایش بارهای منفی، ولتاژ آستانه تغییر پیدا می‌کند جریان‌های ناشی افزایش می‌یابد و سایر عوامل پارازیتی در ترانزیستور اثر میدانی به وجود می‌آید.



شکل 1: مراحل تشکیل مراکز باز مثبت و منفی در محیط تشعشعات

با این توصیف اهمیت میدان داخلی اکسید گیت در افزایش اثر دوز یونیزه کننده بیشتر مشخص می‌شود به نظر می‌رسد اگر این میدان وجود نداشته باشد (یعنی ترانزیستور خاموش باشد) روند از بین رفتن ترانزیستور کند خواهد شد و طی زمان

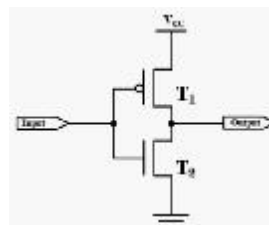
خاموش بودن ترانزیستور، بارهای به دام افتاده قادر خواهند بود با تونل زنی از اکسید گیت خارج شوند و ترانزیستور فرصتی برای بازیابی خواهد داشت. مطالعات انجام شده موید این مسئله می باشد به طوری که، تراشه‌ی خاموش در برابر دوزهای بالاتر مقاومت می کند؛ نتایج آزمایشی بر روی حافظه‌های فلش نشان داده که با افزایش دوز، جریان تغذیه در حالت بایاس نشده، نسبت به حالت بایاس شده با شدت کمتری افزایش می یابد (شکل 2) [3]. این مسئله ایده‌ی مطالعه جدیدی [1] است که در آن تکنیکی ارائه گردیده تا مدار در برابر دوز یونیزه کننده مقاوم باشد. روش اخیر مبتنی بر کاهش زمان روشن بودن ترانزیستور بوده و با دو برابر کردن فضای مورد نیاز مدار، عملکرد مطلوبی دارد. اما این روش نواقصی دارد از جمله وقتی در کنار روش‌های مقاوم سازی اثرات رخداد یکتا به کار برده شود فضای لازم برای پیاده سازی مدار را آن چنان افزایش می دهد که غیر قابل استفاده می شود. در ادامه تئوری و نتایج روش مذکور بررسی خواهد شد.



شکل 2: جریان کشی بر حسب دوز در دو حالت بایاس و بدون بایاس

### 3- مقاوم سازی دوز یونیزه کننده کل

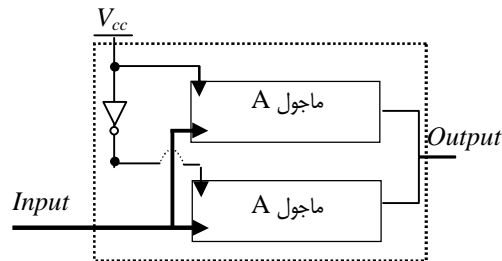
علاوه بر مسائل مطرح شده در بخش قبلی، بررسی انجام شده در رابطه با تاثیر بایاس پایدار و بایاس متناوب، بر پاسخ ترانزیستور ماسفت در برابر تشعشعات نشان داده که در بایاس متناوب، میزان حفره‌های به دام افتاده در حالت‌های واسط ترانزیستور NMOS نسبت به بایاس ثابت کمتر است [4] در همین مرجع نتایج مشابهی برای الکترون‌های به دام افتاده در نوع PMOS گزارش شده است. بر این اساس ادواتی که به گیت آنها بایاس متناوب اعمال شده در مقایسه با ادواتی که گیت آنها بایاس مداوم دارد دوزهای بالاتری را می توانند تحمل کنند. پس در محیط تشعشعات نرخ تغییر ولتاژ آستانه ترانزیستور اثر میدانی به شدت، به ولتاژ اعمال شده به گیت وابسته است [1]. به عنوان مثال فرض کنید گیت معکوس کننده (شکل 3) در محیط تشعشعات قرار بگیرد؛ وقتی ورودی صفر است ترانزیستور T1 روشن و ترانزیستور T2 خاموش می باشد اگر این روند ادامه داشته باشد ترانزیستور T1 در اثر تشعشعات، به سرعت از بین خواهد رفت در حالی که ترانزیستور T2 بیشتر مقاومت می کند؛ وقتی ورودی یک باشد این وضعیت برعکس خواهد شد.



شکل 3: وارونگر با ترانزیستور اثر میدانی

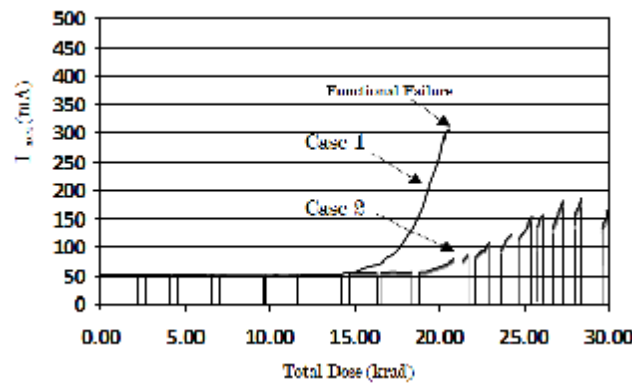
بنابراین اگر مدار به گونه‌ای طراحی شود که بین ترانزیستورهای روشن و ترانزیستورهای خاموش توازن برقرار گردد مقاومت مدار در برابر دوز یونیزه کننده بیشتر خواهد شد. راه حل ارائه شده برای این منظور در [1] به این ترتیب است که

ماجول مورد نظر را یک بار تکرار کرده و با یک پریود زمانی معین بین دو ماجول کلیدزنی می‌کند (شکل 4). به طوری که در هر لحظه از زمان تنها یکی از ماجول‌ها روشن و دیگری خاموش باشد. در این صورت مدت زمان روشن بودن ترانزیستورها نسبت به حالت تک ماجولی به نصف کاهش می‌یابد. و انتظار می‌رود مدار بتواند دوزهای بالاتری را بپذیرد؛ نتایج به دست آمده درستی این راه حل را تایید می‌کنند؛ منحنی‌های شکل 5 [1] جریان هسته را در دو حالت و در دوزهای مختلف نشان می‌دهند در حالت اول مدار تک ماجولی و در حالت دوم مدار دو ماجولی می‌باشد [1].



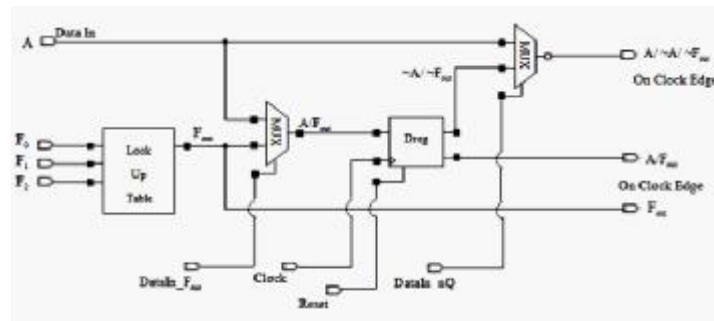
شکل 4: روش کلیدزنی دو ماجولی

هر چند استفاده از روش دو ماجولی نتایج مطلوبی دارد اما در این روش به ازای مقاوم‌سازی در برابر دوز، فضای لازم حداقل دو برابر می‌شود و در صورتی که با روش افزودنی سه ماجولی - روش معمول برای مقاوم‌سازی در برابر تاثیرات رخداد یکتا [5-6] - هم‌زمان در نظر گرفته شود، فضای مورد نیاز را حداقل شش برابر می‌کند که به هیچ وجه مناسب نیست. بنابراین به نظر می‌رسد باید در رابطه با روش مقاوم‌سازی ارائه شده بازنگری اساسی شود.



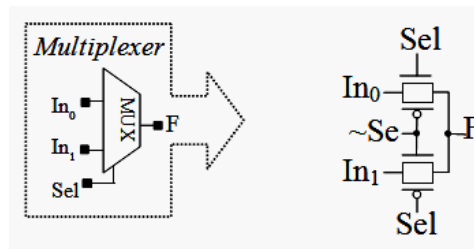
شکل 5: نتایج آزمایش دوز حالت اول: استفاده از یک ماجول. حالت دوم: استفاده از کلیدزنی بین دو ماجول

برای متوازن کردن مدت زمان روشن بودن ترانزیستورها در خود ماجول، لازم است بررسی دقیقی روی جزئیات پیاده‌سازی ماجول انجام شود. در افزاره‌های برنامه‌پذیر، بلوک‌های منطقی برنامه‌پذیر 4 اصلی‌ترین قسمت برای پیاده‌سازی ماجول می‌باشند. در شکل 6 نمونه ساده‌ای از بلوک منطقی برنامه‌پذیر در افزاره برنامه‌پذیر میدانی نشان داده شده است [7].



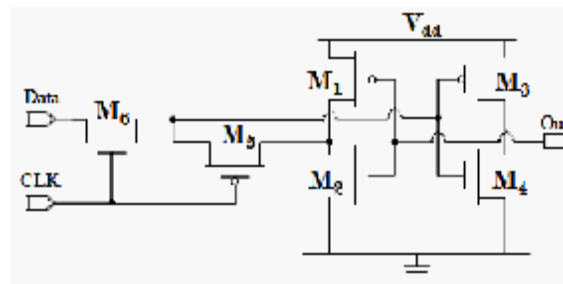
شکل 6: نمونه ساده بلوک منطقی برنامه پذیر در افزاره برنامه پذیر میدانی

بلوک‌های برنامه پذیر تقریباً در تمام افزاره‌های برنامه پذیر میدانی از سه المان پایه‌ای یعنی جدول ارجاع، رجیستر و مالتی پلکسرها تشکیل شده‌اند. خود جدول ارجاع دارای تعدادی گیت عطف منطقی برای دیدک و تعدادی رجیستر نگهدارنده برای ذخیره داده می‌باشد که این تعداد به ورودی‌های آن بستگی دارد. مالتی پلکسرها نیز به ازای هر مسیر دو ترانزیستور در ساختار خود دارند (مطابق شکل 7) [8].



شکل 7: ساختار ترانزیستوری مالتی پلکسر

هر جدول ارجاع با  $n$  ورودی دارای  $2n$  رجیستر نوع D می‌باشد [7] ساختار معمول برای رجیستر D مشابه ساختار سلول حافظه ایستاتیکی می‌باشد. این ساختار در شکل 8 نشان داده شده است [8].



شکل 8: ساختار معمول برای رجیستر نوع D

با پیکربندی افزاره برنامه پذیر، مالتی پلکسرها و رجیسترهای جدول ارجاع وضعیت ثابتی خواهند داشت. به عبارت دیگر اگر داده‌ای در یکی از رجیسترهای جدول ارجاع ذخیره شده باشد مستقل از وضعیت ورودی‌های جدول، داده‌ی ذخیره شده همواره ثابت است بنابراین ترانزیستورهای آن از لحاظ روشن و خاموش بودن وضعیت ثابتی دارند. در رابطه با مالتی پلکسرها نیز حالت مشابهی وجود دارد و با برنامه ریزی سیگنال انتخاب کننده آن یکی از دو مسیر، انتخاب شده و ترانزیستورهای این مسیر روشن می‌مانند. نکته قابل توجه این است که در برابر هر ترانزیستور روشن یک ترانزیستور خاموش وجود دارد. مثلاً در ساختار رجیسترهای جدول ارجاع M1 و M4 در برابر M2 و M3 و در مالتی پلکسرها دو ترانزیستور مسیر بالایی در برابر دو ترانزیستور مسیر پایینی قرار دارند.

بنابراین ترانزیستورها را به دو دسته می‌توان تقسیم کرد: دسته اول ترانزیستورهایی هستند که وضعیت روشن و خاموش بودن آنها به طور مداوم در حال تغییر می‌باشد. به عنوان مثال در ساختار جدول ارجاع ترانزیستورهای گیت‌های عطف منطقی - برای دیکد کردن - بسته به سیگنال‌های ورودی به طور مکرر روشن و خاموش می‌شوند. دسته دوم ترانزیستورهایی هستند که همیشه وضعیت ثابتی دارند یعنی یا روشن هستند و یا خاموش. به ترانزیستورهایی که همواره روشن هستند ترانزیستورهای بحرانی می‌گوییم، زیرا دوز یونیزه‌کننده بیشترین تاثیر را بر این ترانزیستورها دارد.

با در نظر گرفتن بلوک منطقی برنامه‌پذیر نمونه (شکل 6)، تقریباً غالب ترانزیستورها وضعیت ثابتی دارند (ترانزیستورهای مالتی‌پلکسرها و رجیسترهای داخلی جدول ارجاع). از سوی دیگر، این بلوک‌ها پیکره اصلی افزاره‌های برنامه‌پذیر می‌باشند. بنابراین بخش عمده‌ای از ترانزیستورهای افزاره برنامه‌پذیر میدانی پس از پیاده‌سازی مدار، همواره روشن هستند و این امر باعث می‌شود مقاومت تراشه در برابر دوز کم شود. پس چالش اصلی ترانزیستورهای دسته دوم می‌باشند. در صورتی که بتوان بین ترانزیستورهای روشن و خاموش کلیدزنی انجام داد متوسط ولتاژ و متوسط زمان روشن بودن ترانزیستورهای همیشه روشن کاهش می‌یابد و این ترانزیستورها مجالی برای بازیابی خواهند داشت. برای این منظور داده ذخیره شده در جدول ارجاع را معکوس می‌کنیم با معکوس کردن این داده‌ها ترانزیستورهایی که وضعیت بحرانی داشتند خاموش می‌شوند. اما در مالتی-پلکسرها برای تحقق این هدف بایستی سوئیچ مخالف را انتخاب کنیم. با توجه به نتایج به دست آمده در [1] و [4] - که بر مبنای کاهش متوسط ولتاژ و کاهش متوسط زمان روشن بودن ترانزیستور انجام شده - انتظار داریم با رویکرد ارائه شده در این مقاله مدار دوزهای بالاتری را تحمل کند.

این رویکرد را در چند مدار نمونه اعمال کرده و بدون از دست دادن کارایی و فضای لازم برای پیاده‌سازی مدار، مدت زمان روشن بودن بخش عمده‌ای از ترانزیستورهای بحرانی را کاهش دادیم.

#### 4- نمونه مدارهای مقاوم‌سازی شده

فرض کنیم عمل منطقی ساده‌ای تنها در یک جدول ارجاع پیاده‌سازی شده باشد. حال اگر داده جداول را معکوس کنیم به هدف خود یعنی خاموش کردن ترانزیستورهای بحرانی در جدول ارجاع می‌رسیم. اما با این کار، داده در خروجی معکوس می‌شود. حل این مسئله بستگی به دو عامل دارد: اول ساختار بلوک‌های منطقی در افزاره برنامه‌پذیر میدانی و دوم مسیری که سیگنال خروجی در پیش دارد. در صورتی که این سیگنال مستقیم به خروجی برود با توجه به ساختار بلوک‌های ورودی/خروجی در افزاره‌های برنامه‌پذیر میدانی معکوس کردن این سیگنال در این بلوک‌ها امکان‌پذیر است. اما در صورتی که فرض کنیم این سیگنال بلوک‌های منطقی دیگری را تغذیه کند و نتوانیم این سیگنال را در خود بلوک معکوس کنیم مجبور هستیم روش معکوس کردن داده‌ها را در زیر بخش‌های یک مدار بزرگ انجام دهیم. (مانند نمونه یک و سه) البته ساختار داخلی بلوک‌های برنامه‌پذیر هم برای این منظور بسیار موثر است. به عنوان نمونه در سری Virtex5 - که در این مقاله استفاده شده است - با استفاده از زنجیره بیت نقلی 5م‌تایی توان خروجی جداول ارجاع را معکوس و به حالت اصلی بازگردانید (مانند نمونه دو).

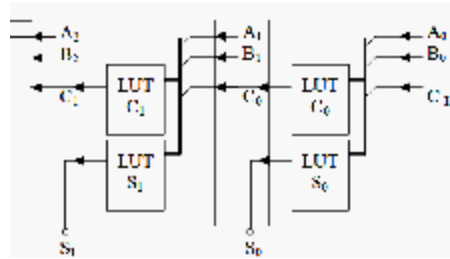
##### نمونه یک: مدار جمع‌کننده n-بیتی

برای پیاده‌سازی یک جمع‌کننده کامل 6 (F.A) در بلوک منطقی نمونه دو جدول ارجاع نیاز می‌باشد و نیازی به مالتی‌پلکسرها نیست [7]. با در نظر گرفتن رابطه 1 و با فرض داشتن معکوس بیت نقلی ورودی - با توجه به ساختار بلوک‌های ورودی و خروجی این فرض قابل اجراست - به دو شکل جمع‌کننده چهار بیتی را پیاده‌سازی می‌کنیم (مطابق با داده‌های جدول 1). در این صورت مستقل از تعداد بیت‌های جمع‌کننده و با حفظ عملکرد صحیح جمع‌کننده 75 درصد از ترانزیستورهای همیشه روشن با ترانزیستور همیشه خاموش متقابل موازنه می‌شوند. البته در صورتی که در ساختار Virtex5 از قابلیت معکوس کردن داده در زنجیره بیت نقلی استفاده کنیم این درصد حتی به بیش از 90 درصد نیز قابل افزایش می‌باشد.

<sup>5</sup> Carry Chain Adder

<sup>6</sup> Full Adder

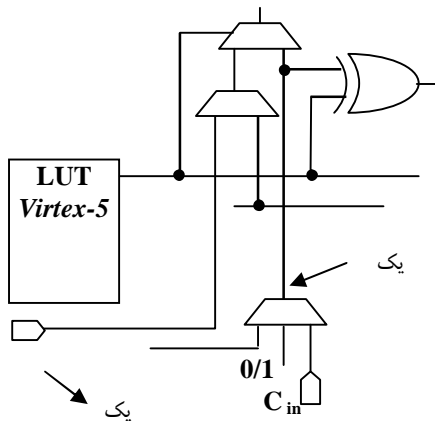
$$\bar{S}(A, B, C_{in}) = S(A, B, \bar{C}_{in}) \quad (1)$$



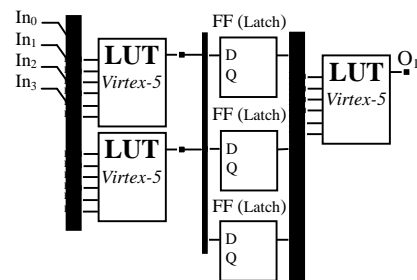
شکل 9: بخشی از مدار جمع کننده

### نمونه دو: مدار ترتیبی (ISCAS89 Circuits-S27)

پایه سازی مدارهای ترتیبی مستلزم استفاده از فلیپ فلاپ بلوک های برنامه پذیر است. و معمولاً در این بلوک ها خروجی جدول ارجاع، به ورودی فلیپ فلاپ متصل می باشد. با توجه به متغییر بودن داده، در فلیپ فلاپ ها ترانزیستور بحرانی نداریم. اما داده های قرار گرفته در جداول ارجاع وضعیت ثابتی دارند و ترانزیستورهای بحرانی را تشکیل می دهند به عنوان نمونه مدار S27 [9] پس از نگاشت به شکل 10 خواهد بود داده های جداول ارجاع را معکوس می کنیم این معکوس کردن در دو جدول ارجاع یک و دو با ساختار داخلی Virtex5 جبران می شود و جدول ارجاع جدول سوم در پین خروجی جبران می شود. ساختار داخلی Virtex5 که برای معکوس کردن داده جداول استفاده می شود زنجیره بیت رقم نقلی است. این زنجیره برای جمع کننده های خاص استفاده می کنیم و در غالب مدارهای دیگر کاربردی ندارد به همین دلیل از ساختار زنجیره مذکور استفاده شده است. این ساختار در Virtex4 و حتی Virtex6 هم قابل اجراست (شکل 11)[10].



شکل 11: مدار زنجیره بیت نقلی برای معکوس کردن داده Virtex5

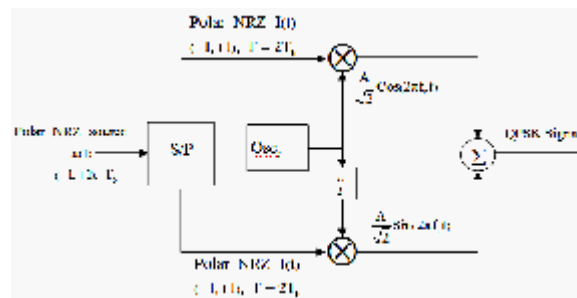


شکل 10: مدار S27 پس از نگاشت بر Virtex5

### نمونه سه: مدولاتور کلیدزنی تغییر فاز چهار ربعی

مدولاتور کلیدزنی تغییر فاز چهار ربعی (QPSK<sup>7</sup>) از جمله مدولاتورهای پر کاربرد در زمینه مخابرات دیجیتال می باشد این مدولاتور به عنوان یک بخش مهم، به صورت مستقل و یا در کنار مدارهای دیگر استفاده می شود. علاوه بر آن بلوک های استفاده شده در این مدولاتور در سایر مدولاتورها و مدولاتورها قابل استفاده است. بلوک دیاگرام مدولاتور مذکور در شکل (12) آمده است [11]. در ادامه قصد داریم روش مقاومت سازی دوز یونیزه کننده را در این مدولاتور بررسی کنیم.

<sup>7</sup> Quadrature Phase Shift Keying



شکل 12: بلوک دیاگرام مدولاتور کلیدزنی تغییر فاز چهار ربعی

مدار مدولاتور در چند بلوک از جمله بلوک نگاشت  $\left\{ \begin{matrix} \text{Logic 0} \\ \text{Logic 1} \end{matrix} \right\} \rightarrow \left\{ \begin{matrix} -1 \\ +1 \end{matrix} \right\}$ ، بلوک مولد شکل موج‌های سینوسی و کسینوسی، بلوک تبدیل زنجیره بیت‌های ورودی به دوبیتی‌ها، بلوک ضرب دوبیتی‌ها در شکل موج سینوسی و بلوک جمع‌کننده پیاده‌سازی شده است [12-13]. نگاهی به ساختار مداری بلوک تبدیل زنجیره بیت‌های ورودی به دوبیتی‌ها، نشان می‌دهد که با توجه به متغیر بودن داده، این بلوک ترانزیستور همیشه روشن (ترانزیستور بحرانی نسبت به دوز یونیزه کننده) ندارد. ترکیب مدارهای ارائه شده برای سایر بلوک‌ها را می‌توان به صورت شکل 13 در نظر گرفت. مدار آدرس‌دهی نیز در شکل 14 آمده است.

در ساختار مدولاتور جمع‌کننده‌ها، حافظه‌های نگهدارنده مقادیر حامل‌های سینوسی و جداول ارجاع جهت پیاده‌سازی گیت‌های منطقی، بخش‌هایی می‌باشند که ترانزیستورهای همیشه روشن - ترانزیستورهای بحرانی نسبت به دوز یونیزه کننده - دارند. اما با توجه به متغیر بودن سیگنال انتخاب‌گر در مالتی پلکسرها و همچنین متغیر بودن داده در مسیر فلیپ فلاپ‌ها این بخش‌ها ترانزیستور همیشه روشن در ساختارشان ندارند.

برای ارائه ساختار مکمل، معکوس کردن مقادیر حافظه‌های نگهدارنده حامل‌های سینوسی به همراه معکوس کردن جدول ارجاع مربوط به گیت عطف اثر همدیگر را خنثی خواهند کرد از این رو داده در ورودی جمع‌کننده‌های مربوط به مدار مکمل دو بدون تغییر خواهد بود. با توجه به معکوس نبودن ورودی جمع‌کننده مدار مکمل، نمی‌توان از ساختار نمونه یک برای مقاوم‌سازی آن استفاده کرد. برای مقاوم‌سازی این جمع‌کننده‌ها از جدول 3 استفاده می‌کنیم. در ادامه جدول 3 را بیشتر توضیح می‌دهیم.

### جمع‌کننده در ساختار مکمل دو

مدار مکمل دو برای عمل تفریق و یا در جمع علامت‌دار کاربرد زیادی دارد. برای محاسبه مکمل دو هر یک از بیت‌های داده معکوس شده و سپس با یک جمع می‌شود. با توجه به رابطه  $S(A, B, C_{in}) = S(A, \bar{B}, \bar{C}_{in})$  معکوس کردن رقم نقلی و یکی از ورودی‌ها تاثیری در خروجی جمع‌کننده ندارد در این حالت معکوس کردن مقادیر جداول مربوط به خروجی‌های جمع‌کننده باعث معکوس شدن خروجی خواهد شد. اما با تنظیم مناسب مقادیر جداول ارجاع، ساختارهای دیگری نیز قابل ارائه می‌باشد که درصد برقراری توازن بین ترانزیستورهای روشن و خاموش را بهبود می‌بخشد برخی از این ساختارها در جدول 3 آمده است. در مدولاتور QPSK برای جمع‌کننده‌های مکمل دو از حالت سوم جدول 3 استفاده شده است بنابراین علاوه بر موازنه بیش از 90 درصد ترانزیستورهای این بخش، معکوس بودن خروجی، امکان استفاده از ساختار نمونه یک برای جمع‌کننده پایانی را فراهم می‌کند. با توجه به ساختار نمونه یک، خروجی جمع‌کننده پایانی (سیگنال QPSK) مقدار اصلی خواهد بود. در بخش آدرس‌دهی (شکل 14)، مدار جمع‌کننده و جداول ارجاع مربوط به گیت‌های تشخیص محل تغییر علامت و جهت شمارنده، دارای ترانزیستورهای حساس می‌باشند. استفاده از مسیر معکوس ( $\sim Q$ ) - و یا زنجیره بیت نقلی در virtex5 - در فلیپ فلاپ خروجی آدرس و فلیپ فلاپ مسیر پس‌خورد، باعث معکوس شدن ورودی‌های جمع‌کننده شده و استفاده از ساختار نمونه یک را در این جمع‌کننده امکان‌پذیر می‌کند. استفاده از مسیر معکوس ( $\sim Q$ ) - و یا زنجیره بیت نقلی در virtex5 - در فلیپ فلاپ‌های خروجی علامت، اجازه معکوس کردن مقادیر جداول مربوط به دو گیت تشخیص محل تغییر علامت فراهم می‌کند. و



در نهایت با توجه به معکوس بودن ورودی‌های گیت تشخیص جهت شمارنده (افزایشی یا کاهشی) تغییر مقدار این جدول ارجاع از  $E_{HEX}$  به  $7_{HEX}$  موجب توازن 50 درصدی در این جدول می‌گردد. به این ترتیب با حفظ عملکرد صحیح در مدولاتور کلید زنی تغییر فاز چهار ربعی، بیش از 90 درصد از ترانزیستورهای همیشه روشن قابل موازنه با ترانزیستورهای خاموش می‌باشند.

## 5- جمع‌بندی

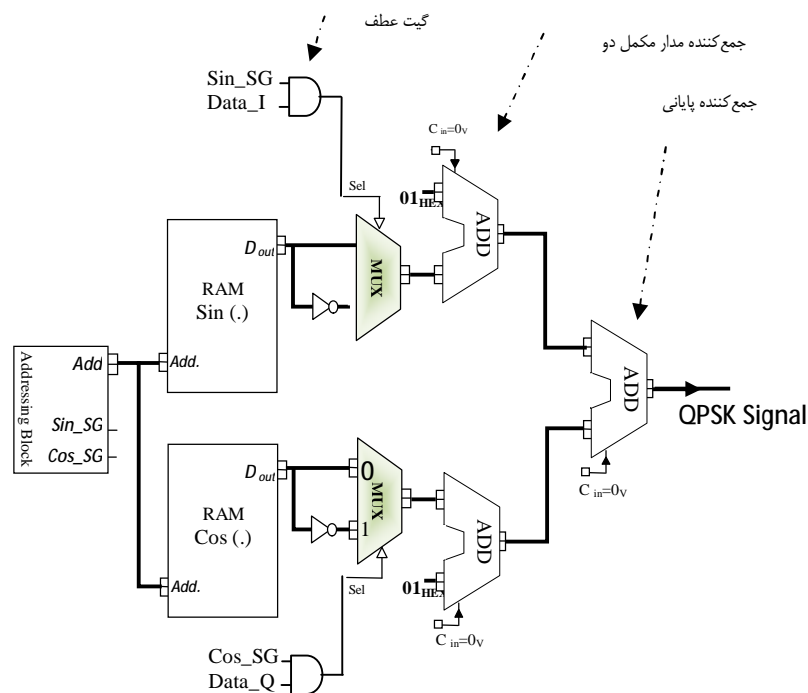
ترانزیستورهای همیشه روشن در برابر دوز یونیزه‌کننده وضعیت بحرانی دارند و مقاومت مدار را در محیط تشعشعات پایین می‌آورند. در این مقاله، وضعیت روشن یا خاموش بودن ترانزیستورهای مدار پیاده‌سازی شده بر افزاره برنامه‌پذیر میدانی بررسی شد و ترانزیستورهای بحرانی تعیین گردیدند. در ادامه، ساختار مکمل مدارهای مذکور، با قابلیت خاموش نمودن نسبت زیادی از این ترانزیستورها بدون از دست دادن فضا و کارایی مدار، ارائه گردید. بر اساس روش پیشنهادی، ساختار مکمل برای چند مدار نمونه طراحی شد. و با مقایسه نسبت به حالت اولیه، به طور متوسط وضعیت بیش از 80 درصد ترانزیستورهای بحرانی بهبود یافت.

جدول 2: جمع‌کننده n-بیتی

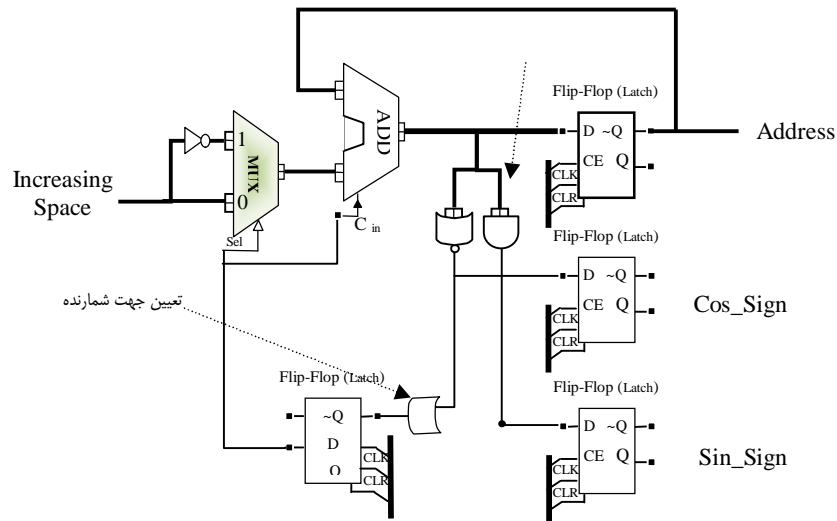
رقم نقلی ورودی	آخرین جدول بیت نقلی	سایر جدول بیت نقلی	جدول ارجاع S	خروجی	برقراری توازن	مقادیر
	$E8_{HEX}$	$E8_{HEX}$	$98_{HEX}$			اصلی
Inv	$D4_{HEX}$	$2B_{HEX}$	$69_{HEX}$	No change.	75%	مکمل

جدول 3: برای مکمل دو

ثابت جمع	رقم نقلی	اولین جدول بیت نقلی $C_0$	سایر جدول بیت نقلی	جدول ارجاع S	خروجی	برقراری توازن
$01_{HEX}$	0	$E7_{HEX}$	$18_{HEX}$	$69_{HEX}$	Inv.	78.5%
$FF_{HEX}$	0	$17_{HEX}$	$B7_{HEX}$	$69_{HEX}$	Inv.	92.8%
$FE_{HEX}$	1	$17_{HEX}$	$B7_{HEX}$	$69_{HEX}$	Inv.	92.8%



شکل 13: ترکیب مدارهای ارائه شده برای هر یک از بلوک‌ها مدولاتور کلیدزنی تغییر فاز چهار ربعی



شکل 14: بلوک آدرس دهی در مدولاتور کلیدزنی تغییر فاز چهار

## منابع

- [1] A. Farouk Smith and B. Sias Mostert, "Total Ionizing Dose Mitigation by Means of Reconfigurable FPGA Computing" *IEEE Trans. Nuclear and Science*, Vol. 54, No. 4, 2007.
- [2] A. [Raoul Velazco](#) and B. [Pascal Fouillat](#), *Radiation Effects on Embedded Systems*. Springer Netherlands, pp. 1-9, 2007.
- [3] A. Cellere G and B. Paccagnella A, "A review of ionizing radiation effects in floating gate memories" *IEEE Trans. Device and Materials Reliability*, Vol. 4, No. 3, 2004.
- [4] A. T. Stanley and B. D. Neaman, "The effect of operating frequency in the radiation induced buildup of trapped holes and interface states in MOS devices" *IEEE Trans. Nuclear and Science*, Vol. NS-32, No. 6, pp. 3982-3987, 1985.
- [5] A. Pratt, B and B. Caffrey, M, "Fine-Grain SEU Mitigation for FPGAs Using Partial TMR" *IEEE Trans. Nuclear and Science*, Volume 55, Issue 4, Part 1, Aug. 2008 Page(s):2274 - 2280.
- [6] P. K. Samudrala, J. Ramos, and S. Katkoori, "Selective triple modular redundancy (STMR) based single-event upset SEU tolerant synthesis for FPGAs," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 2957-2969, Oct. 2004.
- [7] A. E. Sicard and B. S. Bendhia, *Advanced CMOS Cell Design*. McGraw-Hill, pp. 67-92, 2007.
- [8] A. E. Sicard and B. S. Bendhia, *Basics of CMOS Cell Design*. McGraw-Hill, pp. 219, 287 2007.
- [9] University of Virginia .[Online] ,Available <http://www.ece.vt.edu/mhsiao/iscas89.html>.
- [10] Xilinx.[Online],Available;[www.xilinx.com/support/documentation](http://www.xilinx.com/support/documentation).
- [11] Fuqin Xiong, "Digital Modulation Techniques" <sup>Second Edition</sup>, ARTECH HOUSE INC, PP 135-206, 2006.
- [12] Li Fang and B. Ke Xizheng, "Design and Implement of OQPSK Modulator Based on FPGA", *The Eighth International Conference on Electronic Measurement and Instruments*, PP 929-933, ICEMI'2007
- [13] رضامیدی، کریم محمدی " پیاده سازی مدولاتور کلیدزنی با تغییر فاز (QPSK) در افزاره برنامه پذیر میدانی (FPGA)" ، دوازدهمین کنفرانس دانشجویی مهندسی برق ایران ISCEE2009 دانشگاه آزاد تبریز مرداد 1388.

1- تهران - دانشگاه علم و صنعت ایران - دانشکده برق - [r\\_omidi@elec.iust.ac.ir](mailto:r_omidi@elec.iust.ac.ir)2- تهران - دانشگاه علم و صنعت ایران - دانشکده برق - [mohammadi@iust.ac.ir](mailto:mohammadi@iust.ac.ir)